

DIALOG(R)File 345:lnpadoc/Fam. & Legal Stat
(c) 2002 EPO. All rts. reserv.

8478322

Basic Patent (No,Kind,Date): JP 63314862 A2 881222 <No. of Patents: 001>
MANUFACTURE OF THIN-FILM TRANSISTOR (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): SUKEGAWA OSAMU

IPC: *H01L-027/12; H01L-029/78

Derwent WPI Acc No: C 89-042888

JAPIO Reference No: 130160E000146

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applc No | Kind | Date |
|-------------|------|--------|-------------|------|----------------|
| JP 63314862 | A2 | 881222 | JP 87151792 | A | 870617 (BASIC) |

Priority Data (No,Kind,Date):

JP 87151792 A 870617



DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02697962 **Image available**

MANUFACTURE OF THIN-FILM TRANSISTOR

PUB. NO.: 63-314862 [JP 63314862 A]

PUBLISHED: December 22, 1988 (19881222)

INVENTOR(s): SUKEGAWA OSAMU

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-151792 [JP 87151792]

FILED: June 17, 1987 (19870617)

INTL CLASS: [4] H01L-027/12; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 744, Vol. 13, No. 160, Pg. 146, April
18, 1989 (19890418)

ABSTRACT

PURPOSE: To enable a semiconductor interface to be annealed optically, by forming a gate electrode of a transparent conductor on a transparent insulating material, and then applying light for heat treating the semiconductor layer.

CONSTITUTION: A gate electrode 2 of a transparent conductor is formed on a glass substrate 1. Subsequently, a silicon nitride film 3 for providing a gate insulating film and an amorphous silicon film 4 are formed thereon. The amorphous silicon film 4 is etched so as to be left only on an element forming region and then a drain electrode 5 and a source electrode 6 are formed of aluminum. Double harmonics beam 7 is applied by a Q-switched YAG laser to the substrate 1 of the thin-film transistor. The incident laser beam passes through the substrate 1, electrode 2 and film 3 and absorbed by the interface between the films 4 and 3. Accordingly, annealing can be performed very efficiently.

⑥公開特許公報(A) 昭63-314862

⑦InL.Cl.4

H 01 L 27/12
29/73

識別記号

311

府内整理番号

A-7514-5F
Y-7925-5F

⑧公開 昭和63年(1988)12月22日

審査請求 未請求 発明の数 1 (全3頁)

⑨発明の名称 薄膜トランジスタの製造方法

⑩特 願 昭62-151792

⑪出 願 昭62(1987)6月17日

⑫発明者 助川 統 東京都港区芝5丁目33番1号 日本電気株式会社内

⑬出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑭代理人 弁理士 内原 吾

明細書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

1. 透明絶縁物上に形成された遮光ガード構造薄膜トランジスタの製造方法において、前記透明絶縁物上にゲート電極を透明導電体で形成し、
その上に半導体層形成した後、前記透明絶縁物側からの光照射により前記半導体層の熱処理を行なうことを特徴とする薄膜トランジスタの製造方法。

2. 前記照射される光がYAGレーザーの第2高調波であることを特徴とする特許請求の範囲
1. 前記の薄膜トランジスタの製造方法。

3. 発明の詳細を説明

〔産業上の利用分野〕

本発明は薄膜トランジスタの製造方法に關し、

特に遮光ガード構造薄膜トランジスタの光アニーリングに關する。

〔従来の技術〕

アモルファスシリコン、多結晶シリコン等を用いた薄膜トランジスタにおいて、光的に強力をレーザー光を用いて半導体膜をアニールし、膜質を改善できることは従来者の中では周知の事実である。アーナーに用いられる光の波長は半導体膜に効率よく吸収されるという条件から、波長300nm以下の可視・紫外領域のものが用いられる。

従来の薄膜トランジスタにおいて、ゲート電極は、金屬・塗抵抗性シリコン等で形成され、これらの材料は可視・紫外領域の光に対し不透明であるため、アニーリングはゲート電極の形成前に行なわれる。

〔発明が解決しようとする課題〕

上述した従来の薄膜トランジスタアニーリングプロセスはゲート電極の形成前に行なう必要がある。薄膜トランジスタの構造にはいくつかのタイプがあるが、トランジスタ特性をよりその信頼性

の点で最も劣っているものは、逆ステガード構造と呼ばれる第1図に示されるものである。このタイプではまずゲート電極2が形成され、次にゲート絶縁膜3、半導体膜4が形成されるため、半導体膜4のうちトランジスタ特性を支配するゲート絶縁膜3との界面はゲート電極2によって遮光された状態になってしまい、半導体界面の先端によるアニーリングは行なうことができない。

〔問題点を解決するための手段〕

本発明の導体トランジスタは、透明導電膜によるゲート電極を有しており、ゲート形成後の光アニーリング処理を行なうプロセスを経て形成される。

〔作用〕

本発明によれば、透明導電膜によるゲート電極は、可視光を透過させるため、ゲート電極側からの光照射によるアニーリングを行なうことができ、逆ステガード構造導体トランジスタの光アニーリングが可能となる。

〔実施例〕

板側からQスイッチYAGレーザーの2倍波7を照射する。レーザー光はガラス基板1、ゲート電極2、酸化シリコン膜3を通して、アモルファスシリコン膜4の酸化シリコン膜3界面部分に吸収され、効率的なアニーリングを行なえる。

第3図は本発明の他の実施例によるアニーリング工程の断面図である。ガラス基板1にITOによる透明ゲート電極2が形成され、酸化シリコン膜3、アモルファスシリコン4を成膜した直後にQスイッチYAGレーザーの第2高周波7を照射する。この実施例では、アモルファスシリコン膜4が全面についているため、アーナーが均一に行なえる特徴がある。

〔発明の効果〕

以上説明したように、本発明はガラス基板上に透明導電膜をゲート電極として逆ステガードアモルファスシリコン導体トランジスタを形成しガラス基板側から可視光による光アニーリング処理を行なう事によりアモルファスシリコン膜の品質を改善し、トランジスタ特性を良好なものとするこ

とに本発明について図面を参照して説明する。

第1図は本発明の一実施例により得られる導体トランジスタの断面図である。図示される導体トランジスタは以下の工程によって作製される。ガラス基板1上に透明導電膜によりゲート電極2が形成され、続いてゲート絶縁膜となる酸化シリコン膜3、アモルファスシリコン膜4が形成され、素子部にのみアモルファスシリコン4を残すエッチング加工を行なった後、ドレイン5及びソース電極6がアルミニウムによって形成される。第2図はガラス基板-透明導電膜-酸化シリコン膜層及びアモルファスシリコンの収率の成長依存性を示したものであり、成長400~700nm程度の元に対しても、前者3層複合物は透明でありアモルファスシリコンは収率が高いため、この成長率の強力な光源としては、QスイッチYAGレーザーの2倍波(成長532nmである第2高周波)がある。

第1図に示した導体トランジスタのアニールは次の様に行なえる。導体トランジスタのガラス基

とができる効果がある。

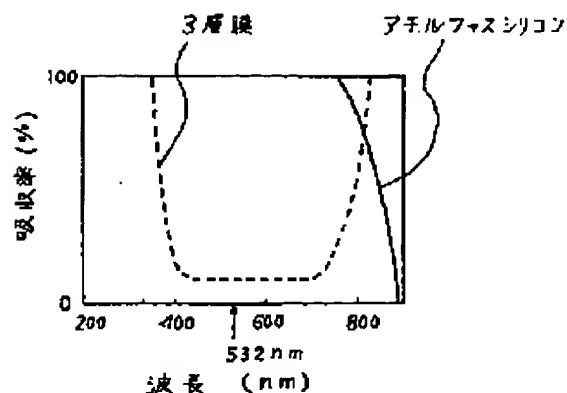
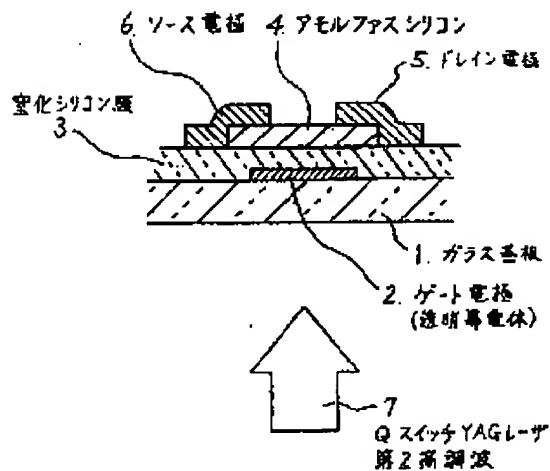
4. 図面の簡単な説明

第1図は本発明の一実施例により得られる導体トランジスタの断面図、第2図はガラス基板/透明導電膜/酸化シリコン膜3層膜及びアモルファスシリコンの収率の成長依存性を示すグラフ、第3図は本発明の他の実施例のアニーリング工程を示す断面図である。

1……ガラス基板、2……透明導電膜によるゲート電極、3……酸化シリコン膜、4……アモルファスシリコン膜、5……ドレイン電極、6……ソース電極、7……QスイッチYAGレーザーの第2高周波。

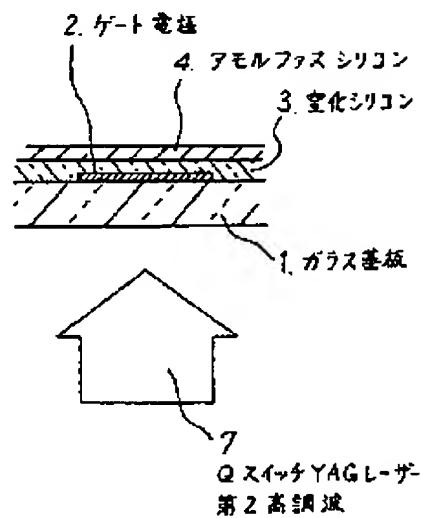
代理人 分譲士 内原





第2図

第1図



第3図